

FPGAボードで学ぶ組込みシステム開発入門 [Altera編]

書籍掲載データQsys版の補足説明

2013/5/20 著者:小林

●このデータの利用に関して

書籍掲載データQsys版は、SOPC BuilderによるNios IIシステム構築の経験を前提に作成しました。初めての方は、本データを用いず旧来の方でSOPC Builderを一通り体験してみることをお勧めします。QsysはSOPC Builderに比べ機能が豊富なため、初めての方は戸惑うことも多いかと思います。SOPC Builderに慣れてからの方が、理解は早いでしょう。

その際、v11.0をインストールして実施してください。Quartus IIは複数のバージョンをインストールして使い分けることができます。Altera社のサイトには過去のバージョンも保管されており、書籍が対応しているv11.0を後からインストールしても問題ありません。

●「Appendix III 新しいシステム統合ツール Qsys」の補足

(1) 「III-2 クロック、リセット、バスの接続とアドレスの修正」の補足

Qsysでは、各コンポーネント(オンチップメモリやPIOなどのブロック)のクロックやリセットを接続する必要があります。このうちリセットは、図1のようにメニューで自動接続することができます。

また、各コンポーネントに割り振るアドレスも、図2のようにメニューから自動割り当てされますので、アドレスの重なりを気にすることなく一気に割り当てができます。

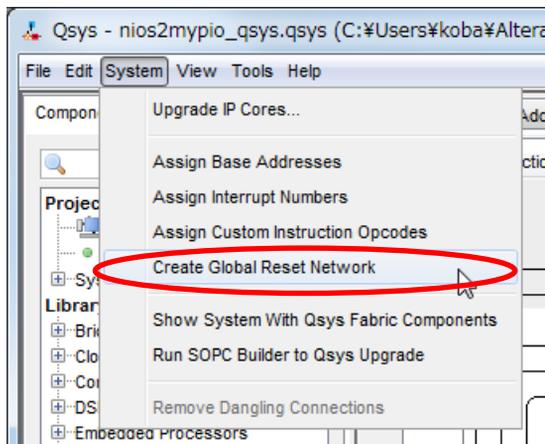


図1 リセットの自動接続

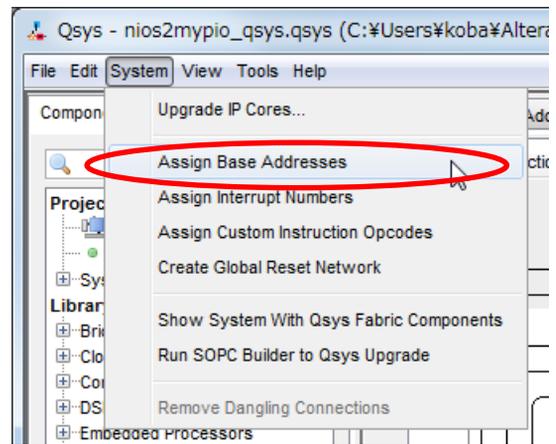


図2 アドレスの自動割り当て

(2) 「III-3 自作周辺回路の接続」の補足

自作周辺回路を登録する「Component Editor」の画面構成がv12.0から若干変更されました。

まず、最初の「Component Type」のタブで、登録する周辺回路の名称やバージョン番号などを登録します(図3)。名称は任意ですが、Nios II EDSに渡されるベースアドレスなどがこの名称を用いますので、本データでは、Verilog HDLで回路記述したモジュール名と同一にしてあります。なお小文字で記入しても、大文字に統一されます。

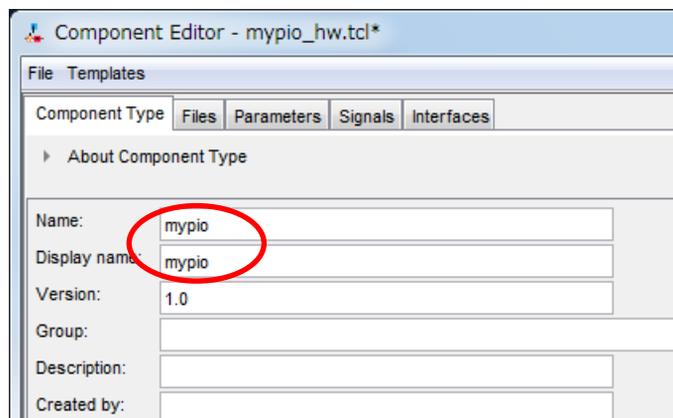


図3 自作周辺回路の名称を付加

回路記述を読み込む際には(図4)、「+」をクリックしてファイルを選択し、「Analyze Synthesis Files」で解析を行います。読み込んだファイルが複数ある場合には、一番右のカラム(Attributes)をクリックして最上位階層を指定します。

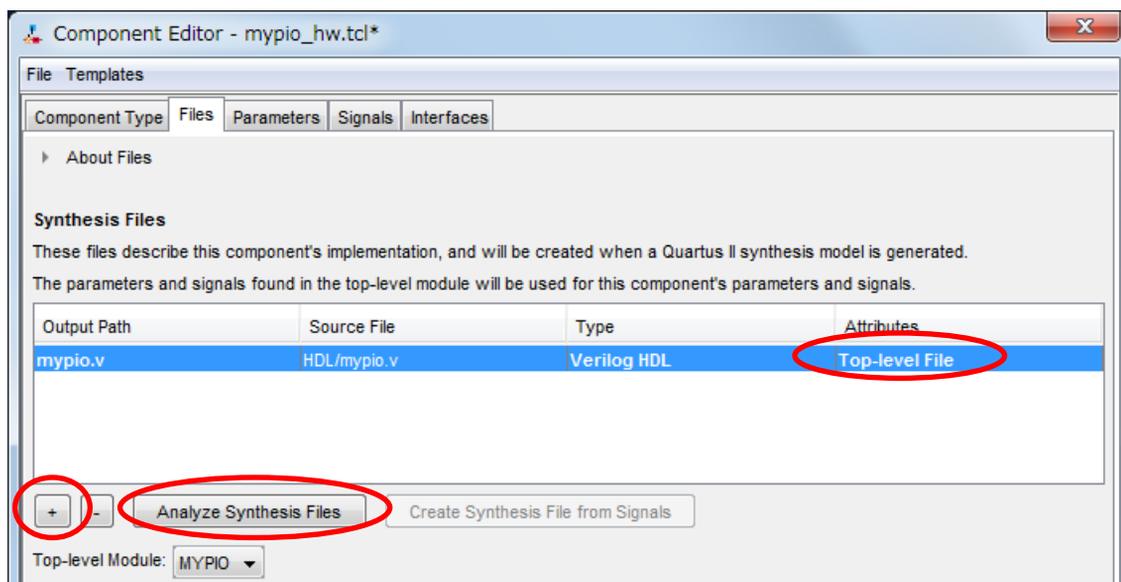


図4 自作周辺回路のソースファイル読み込み

●その他の補足

(1) 制約ファイルの追加

回路をコンパイルする際、クロック周波数や入出力の遅延などの制約条件を与える必要がありました。v12.0あたりから明確に要求されるようになりましたので、本データでも用意してあります。

<プロジェクト名>.sdc のファイルがこれに相当します。単に用意するだけでなく、「～.qsys」ファイルと同様にプロジェクトに追加する必要があります。追加方法は「III-4 後工程での変更点」を参照してください。

(2) sof、potなどの生成場所が「output_files」フォルダ内になった

(3) Qsysではダイナミックバスしか指定できないので、dai6shoのreg16dyn、reg16natは用意していない

(4) 自作周辺回路の制御プログラムはダイナミックバス用の関数を使った

「III-4 後工程での変更点」にも示したように、Qsysではネイティブバスの自作周辺回路は作成できず、すべてダイナミックバスになります。C_PROGRAMフォルダで提供したCプログラムも、自作周辺回路用はすべてダイナミックバス用の関数を用いています。

(5) 本データには第9章のμ Clinux関連データは含んでいない

Qsysではμ Clinuxカーネルのビルドに必要なファイルが生成されないため(9-2-2参照)、本データには第9章のμ Clinux関連データは含んでいません。