

マイクロマシーニング技術はフォトリソグラフィや拡散・成膜などの半導体製造技術が基本となるが、これに加え半導体基板を加工し、微細なメカ構造体を作るための特殊なエッチング技術や基板間の接合技術も用いられる。マイクロマシーニングは半導体基板そのものを加工し、メカ構造体を作る**バルクマイクロマシーニング** (bulk micromachining) と、半導体基板上に形成した膜を加工し、メカ構造体を作る**表面マイクロマシーニング** (surface micromachining) とに概略大別することができる。本章ではこれらのマイクロマシーニング技術の概略を述べた後、その要素技術であるエッチング技術、接合技術、実装技術について通常の半導体製造技術との差を中心に説明する。

## 2.1 バルクマイクロマシーニング

バルクマイクロマシーニングでは通常 LSI 製造プロセスによりウェハ表面側にデバイス形成を行い、デバイス形成が完了後にウェハ裏面にエッチングのマスク材を成膜し、所定のパターンニングした後にウェハ表面側を保護して、ウェハ裏面からシリコン基板をエッチングしてメカ構造体を形成する。基板を単に電極として利用する静電容量式センサでデバイス形成を行わないものやウェハ両面からエッチングを行うもの、あるいはシリコン基板を裏面側からエッチングした後にウェハ貫通溝を形成するために表面側からも選択的に追加エッチングするものもある。

バルクマイクロマシーニングの代表的デバイスであるピエゾ抵抗式圧力センサの製造プロセス・フローを図 2.1、図 2.2 に示す。図 2.1 は前半のピエゾ抵抗形成プロセスで通常の LSI 製造プロセスに用いる工程の組合せで実現することができる。以下にそのフローを説明する。

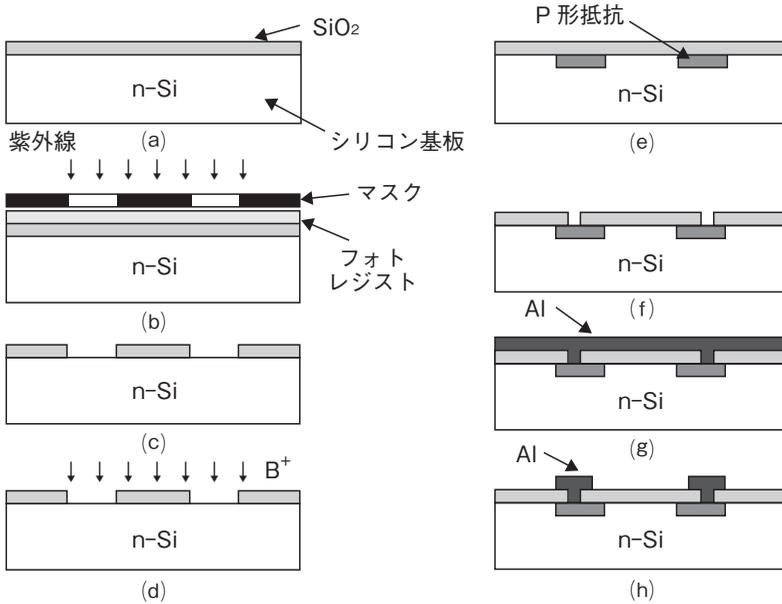


図 2.1 ピエゾ抵抗形成のプロセス・フロー図

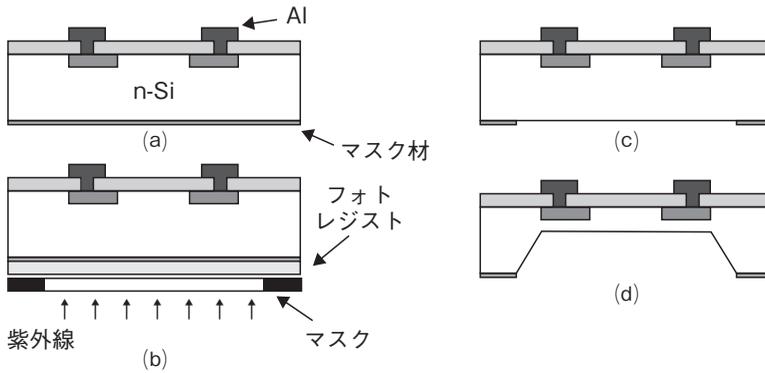


図 2.2 簡略化したマイクロマシーニングのプロセス・フロー図

- (a) (100)n形シリコン基板を熱酸化し、表面に  $\text{SiO}_2$  膜を形成する。  
 (b) フォト・レジストを塗布し、所定のマスクで露光する。  
 (c) 現像後、 $\text{SiO}_2$  膜のエッチングを行い、フォトレジストを除去する。